

## V32b パルサーサーベイ計画用 LSI について

田中尚樹、竹内央、須藤進、斎藤裕一郎、鈴木芽衣、足立政彦、磯野健彦、成塚朋也（早大・理工）、  
大師堂経明（早大・教育）

早稲田大学では RF 1.4GHz, バンド幅 20MHz でパルサーサーベイを計画しており、現在 (1) 球面鏡、(2) 1.4GHz、(3) A/D コンバータ、(4) 光伝送系、(5) 信号処理部の開発に着手している。基本的には現在使用している FFT プロセッサが 2 台あれば  $8 \times 8$  の方向分解と 64 チャンネルの周波数分解が行えるが、将来の拡張性を考慮して新たに Radix-4 バタフライ演算を基本機能とする LSI を設計することにした。LSI の開発はかなりコストがかかるので、設計するのは 1 つの LSI のみとし、その LSI に必要となる演算機能をできるだけ詰め込む、という方針で設計を行った。この LSI に持たせる演算機能は以下のような予定である：

- Radix-4 バタフライ演算（入出力 8 ビット）
- 遅延補償用シフトレジスタ（2 ビット、32 段： $c \times 50\text{ns} \times 32 = 450\text{m}$ ）
- DC カットフィルタ（入力 2 ビット・出力 8 ビット）
- 自乗演算（入力 4 ビット・出力 8 ビット）

この他に、Radix-4 バタフライのひねり係数を切り替えるためのレジスタファイルや、制御用のモードレジスタなども組み込まれる。以上のような構成で、現段階での論理合成結果では、最終的なゲート数は 5 ~ 6 万になると予想されている。パルサーサーベイ用の FFT プロセッサを構成するためには、この LSI の他にもさまざまな周辺機能が必要となるが、それらは FPGA 等で設計している。