

## V125a FPGA のみで実現するシングルチップ電波分光計：1. 基礎概念と PYNQ-Z1 の性能限界：60 GSaps 1 bit ADC の試験的な実装と評価

西村淳, 松本健, 米津鉄平, 中尾優花, 藤田真司, 前澤裕之, 大西利和, 小川英夫 (大阪府立大学)

電波天文学のヘテロダイナ受信機は、合計 IF 出力の広帯域化が急速に進んでいる：例えば、ALMA = 16 GHz beam<sup>-1</sup>; NRO45/FOREST = 128 GHz; NRO45/7 ビーム = 224 GHz; ALMA2 = 68 GHz beam<sup>-1</sup> (提案中)。SKA など干渉計も状況は同様であり、分光計を含むバックエンド帯域が電波観測性能の新たな制約となっている。

電波分光計はサンプリング部 (ADC) と演算部 (FPGA) からなり、広帯域な部品は流通しているが、リアルタイムで欠損なく集録できる完成品は少なく、最新技術の採用には独自開発が必要となる。超広帯域を実現する上で帯域当たりの費用が重要であるが、最もそれが低いのは RPG 社の XFFTS (2012) の ~ 80 万円/GHz である。

この現状を打破する新しいアイデアとして、独立した ADC を必要とせず FPGA のみで実現されるシングルチップ電波分光計を提案する。本分光計は、部品点数が少なく、ADC-FPGA 間的高速配線も存在せず本質的に安い。さらに大量生産の FPGA 評価ボードで実現でき、劇的な費用改善が見込まれる。完全デジタルな ADC として知られる傾斜型 ADC を FPGA に実装する。傾斜型 ADC は参照信号 (正弦波等) と入力信号の電位が一致したタイミングを TDC で時間計測し入力波形を再現する。性能は TDC の時間分解能  $dt$  に制約され、サンプリング周波数  $f$  と量子化ビット数  $m$  との関係は、 $dt = \frac{1}{2^m f}$  となる。市販で最も安価な FPGA 評価ボードである PYNQ-Z1 (2.5 万円) の場合、 $dt = 16.7$  ps であり、 $(f, m) = (60 \text{ GSaps}, 1 \text{ bit})$  や  $(600 \text{ MSaps}, 6 \text{ bit})$  などが理論上は構築可能である。これを用いて 60 GSaps, 1 bit の ADC を実装し性能を測定した。その結果、2 GHz までの CW 入力を検出でき、検出可能な最大周波数は I/O や FF の駆動時間が制約している事が分かった。