

## V136b FPGA のみで実現するシングルチップ電波分光計 : 2. PYNQ-Z1 による分光計 (600 MSaps, 6 bit, 512 ch) の実装

西村淳, 松本健, 米津鉄平, 中尾優花, 藤田真司, 前澤裕之, 大西利和, 小川英夫 (大阪府立大学)

超広帯域観測を実現しつつある電波受信機に対し、分光計を含むバックエンド (BE) は広帯域化が進んでおらず、受信機出力のうち大半は捨てられている。例えば、(受信機出力帯域  $BW_{Rx}$ , BE 帯域  $BW_{BE}$ ) は、ALMA で (16 GHz, 7.5 GHz)、NRO45/FOREST に至っては (128 GHz, 32 GHz) である。そこで、我々は超広帯域分光計を実現するべく、FPGA のみで実現できて安価なシングルチップ電波分光計の研究開発を進めている。

実用性を兼ね備えた最初の試作として、市販の FPGA 評価ボード PYNQ-Z1 (~2.5 万円; Xilinx ZYNQ XC7Z020-1CLG400C 搭載) を用いて、サンプリング周波数 600 MSaps、量子化ビット数 6、分光点数 512 ch のリアルタイム分光計を開発した。帯域当たり費用は 8 万円/GHz である。本分光計は、傾斜型 ADC と FFT 演算器、読み出し回路からなり、傾斜型 ADC は、参照信号、電圧比較器、TDC (Time Digital Converter)、時間-電圧変換テーブル、からなる。参照信号は、FPGA の内部クロック (矩形波) を GPIO 経由で出力し、RC フィルタを経由させ三角波にし再度 GPIO から入力した。入力信号はインターフェースボードを自作し、インピーダンス整合をとりながら GPIO から供給し、FPGA に内蔵の LVDS を 50  $\Omega$  終端無しで電圧比較器として駆動した。比較器出力は遅延器 IDELAYE2 を経由したのち、TDC へ接続される。TDC は、同一のクロック領域にあるキャリーチェーン (CARRY4) 50 個を連結する事で、200 素子 TDC とし、BRAM を用いて時間-電圧変換をしている。FFT は、まずは実装の容易さを優先し、FPGA で提供されている DSP48E1 スライスと 36 Kb BRAM を用いて最も簡単に実現できる、25 bit 固定小数点で入力し 32 bit 固定小数点で出力する 1024 点 FFT とした。